

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-261036

(43)Date of publication of application : 03.10.1997

(51)Int.Cl.

H03K 19/0185

(21)Application number : 08-061091

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 18.03.1996

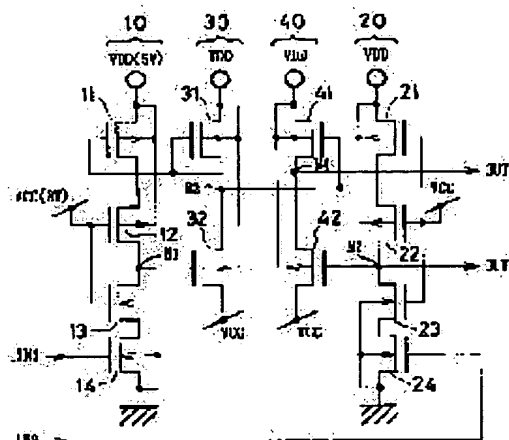
(72)Inventor : SUZUKI HIROAKI
TANAKA YASUNORI

(54) LEVEL CONVERSION CIRCUIT AND SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To suppress the increase of power consumption at a standstill time, to sufficiently improve driving performance and to operate at a high speed by providing first and second CMOS circuits and first and second intermediate circuits, so as to consist of only a MOS transistor in which the gate oxidized film breakdown strength on a level is lower than a high voltage power supply level.

SOLUTION: A CMOS circuit 10 consists of P-MOSs 11 and 12 serially connected between a 5V power supply and a node N1 and N-MOSs 13 and 14 serially connected between the node N1 and the ground. A CMOS circuit 20 is constituted of element constitution similar to the CMOS circuit 10 and on the other hand, an intermediate circuit 30 consists of P-MOS 31 connected to between the 5V power supply and a node N3 and applied with the output of an intermediate circuit 40 to its gate and P-MOS 32 connected to between the node N3 and the 3V power supply. Then all the MOS transistors constituting these respective circuits 10 to 40 are provided with a characteristic in which allowable gate oxidized film breakdown strength is lower than 5V and higher than 3V.



LEGAL STATUS

[Date of request for examination] 07.09.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3258229

[Date of registration] 07.12.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(45) 発行日 平成14年2月18日(2002.2.18)

(24) 登録日 平成13年12月7日(2001.12.7)

(51) Int. Cl.⁷

H 0 3 K 19/0185

F 1

H 0 3 K 19/00

1 0 1 B

請求項の数(全14頁)

(21) 出願番号 特願P8-61091

(73) 特許権者 株式会社東芝

000003078

(22) 出願日 平成8年3月18日(1996.3.18)

(72) 発明者 鈴木 宏明

東京都港区芝浦一丁目1番1号

(65) 公開 号 特開P9-261036

平成9年10月3日(1997.10.3)

神奈川県川崎市幸区堀川町500番1号

(43) 公開日 平成12年9月7日(2000.9.7)

株式会社東芝 半導体システム技術センター内

審査請求日

(72) 発明者 田中 廣規

神奈川県川崎市幸区堀川町500番1号

(74) 代理人 100083006

弁護士 三井 秀和 (93名)

審査官 萩原 健則

(58) 調査した分野(Int. Cl.⁷, D B 名)

H03K 19/0185

(64) 発明の名称、レベル変換回路及び半導体集積回路

(57) 【特許請求の範囲】

【請求項1】 高電圧が印加される高電圧電源と第1の出力ノードとの間に直列接続された第1及び第2のPチャネル型MOSトランジスタ、並びに前記第1の出力ノードとグラウンドとの間に直列接続された第1及び第2のNチャネル型MOSトランジスタを有し、フルアツプ用として機能する前記第1のPチャネル型MOSトランジスタのゲートに第1の信号が印加され、フルアツプ用として機能する前記第2のNチャネル型MOSトランジスタのゲートに第2の信号が印加され、前記第2のPチャネル型MOSトランジスタ及び前記第1のNチャネル型MOSトランジスタの各ゲートに低電圧が共通して印加される第1の出力ノードとの間に接続され前

記第1の信号がゲートに印加される第3のPチャネル型MOSトランジスタ、及び前記第2の出力ノードと低電圧が印加される低電圧電源との間に接続され前記第1のCMOS回路の前記第1の出力ノードの電位がゲートに印加される第4のPチャネル型MOSトランジスタを有する第1の中間回路と、
前記高電圧電源と第3の出力ノードとの間に接続され前記第1の中間回路の第2の出力ノードの電位がゲートに印加される第5のPチャネル型MOSトランジスタ、及び前記第3の出力ノードと前記低電圧電源との間に接続され出力信号がゲートに印加される第6のPチャネル型MOSトランジスタを有し、前記第3の出力ノードより前記第1の信号を出力する第2の中間回路と、
前記高電圧電源と第4の出力ノードとの間に直列接続され前記第7及び第8のPチャネル型MOSトランジスタ

タ、並びに前記第4の出力ノードとグラウンドとの間に直列接続された第3及び第4のNチャネル型MOSトランジスタを有し、フルアツプ用として機能する前記第7のPチャネル型MOSトランジスタのゲートに前記第1の中間回路の前記第2の出力ノードの電位が印加され、フルアツプ用として機能する前記第4のNチャネル型MOSトランジスタのゲートに前記入力信号の反転信号が印加され、前記第8のPチャネル型MOSトランジスタ及び前記第3のNチャネル型MOSトランジスタの各ゲートに低電圧が共通して印加され、前記第4の出力ノードより前記出力信号として前記高電圧とグラウンド電圧の間の振幅を有する信号を外部へ出力する第2のCMOS回路とを備えたことを特徴とするレベル変換回路。

【請求項2】 前記第1のCMOS回路における前記第1及び第2のPチャネル型MOSトランジスタの直列オン抵抗は、前記第2のCMOS回路における前記第7及び第8のPチャネル型MOSトランジスタの直列オン抵抗は、前記第3及び第4のNチャネル型MOSトランジスタの直列オン抵抗よりも大きく設定すると共に、
前記第1の中間回路における第3のPチャネル型MOSトランジスタのオン抵抗は第4のPチャネル型MOSトランジスタのオン抵抗よりも大きく設定し、前記第2の中間回路における第5のPチャネル型MOSトランジスタのオン抵抗は第6のPチャネル型MOSトランジスタのオン抵抗よりも大きく設定したことを特徴とする請求項1記載のレベル変換回路。

【請求項3】 高電圧が印加される高電圧電源と第1の出力ノードとの間に直列接続された第1及び第2のPチャネル型MOSトランジスタ、並びに前記第1の出力ノードとグラウンドとの間に直列接続された第1及び第2のNチャネル型MOSトランジスタを有し、フルアツプ用として機能する前記第1のPチャネル型MOSトランジスタのゲートに第1の信号が印加され、フルアツプ用として機能する前記第2のNチャネル型MOSトランジスタのゲートに第2の信号が印加され、前記第2のPチャネル型MOSトランジスタ及び前記第2のNチャネル型MOSトランジスタの各ゲートに低電圧が共通して印加される第1のCMOS回路と、
前記高電圧電源と第2の出力ノードとの間に接続され前記第1の信号がゲートに印加される第3のPチャネル型MOSトランジスタ、及び前記第2の出力ノードと低電圧が印加される低電圧電源との間に接続され前記第1のCMOS回路の前記第1の出力ノードの電位がゲートに印加される第4のPチャネル型MOSトランジスタを有する第1の中間回路と、
前記高電圧電源と第3の出力ノードとの間に接続され前

記第1の中間回路の第2の出力ノードの電位がゲートに印加される第5のPチャネル型MOSトランジスタ、及び前記第3の出力ノードと前記低電圧電源との間に接続され出力信号がゲートに印加される第6のPチャネル型MOSトランジスタを有し、前記第3の出力ノードより前記第1の信号を出力する第2の中間回路と、
前記高電圧電源と第4の出力ノードとの間に直列接続され前記第7及び第8のPチャネル型MOSトランジスタ、並びに前記第4の出力ノードと前記入力ノードとの間に接続された第3のNチャネル型MOSトランジスタとを有し、フルアツプ用として機能する前記第7のPチャネル型MOSトランジスタのゲートに前記第1の中間回路の前記第2の出力ノードの電位が印加され、且つ前記第8のPチャネル型MOSトランジスタ及びフルアツプ用として機能する前記第3のNチャネル型MOSトランジスタの各ゲートに低電圧が共通して印加され、前記第4の出力ノードより前記出力信号として前記高電圧とグラウンド電圧の間の振幅を有する信号を外部へ出力する第2のCMOS回路とを備えたことを特徴とするレベル変換回路。

【請求項4】 高電圧が印加される高電圧電源と第1の出力ノードとの間に直列接続された第1及び第2のPチャネル型MOSトランジスタ、並びに前記第1の出力ノードと入力ノードとの間に接続された第1のNチャネル型MOSトランジスタを有し、フルアツプ用として機能する前記第1のPチャネル型MOSトランジスタのゲートに第1の信号が印加され、フルアツプ用として機能する前記第2のNチャネル型MOSトランジスタのゲートに第2の信号が印加され、前記第2のPチャネル型MOSトランジスタ及び前記第2のNチャネル型MOSトランジスタの各ゲートに低電圧が共通して印加される第1のCMOS回路と、
前記高電圧電源と第3の出力ノードとの間に接続され前記第1の信号がゲートに印加される第3のPチャネル型MOSトランジスタ、及び前記第2の出力ノードと低電圧が印加される低電圧電源との間に接続され前記第1のCMOS回路の前記第1の出力ノードの電位がゲートに印加される第4のPチャネル型MOSトランジスタを有する第1の中間回路と、
前記高電圧電源と第2の出力ノードとの間に接続され前記第1の信号がゲートに印加される第3のPチャネル型MOSトランジスタ、及び前記第2の出力ノードと前記低電圧電源との間に接続され出力信号がゲートに印加される第6のPチャネル型MOSトランジスタを有し、前記第3の出力ノードより前記第1の信号を出力する第2の中間回路と、
前記高電圧電源と第4の出力ノードとの間に直列接続され前記第7及び第8のPチャネル型MOSトランジスタ

タ、並びに前記第4の出力ノードとグラウンドとの間に直列接続された第2及び第3のNチャネル型MOSトランジスタを有し、フルアップ用として機能する前記第7のPチャネル型MOSトランジスタのゲートに前記第1の中間回路の前記第2の出力ノードの電位が印加され、フルダウン用として機能する前記第3のNチャネル型MOSトランジスタのゲートに前記入力信号の反転信号が印加され、前記第8のPチャネル型MOSトランジスタ及び前記第2のNチャネル型MOSトランジスタの各ゲートに低電圧が共通して印加され、前記第4の出力ノードより前記出力信号として前記高電圧とグラウンド電圧の間の振幅を有する信号を外部へ出力する第2のCMOS回路とを備えたことを特徴とするレベル変換回路。

【請求項5】 高電圧が印加される高電圧電源と第1の出力ノードとの間に直列接続された第1及び第2のPチャネル型MOSトランジスタ、並びに前記第1の出力ノードと第1の入力ノードとの間に接続された第1のNチャネル型MOSトランジスタを有し、フルアップ用として機能する前記第1のPチャネル型MOSトランジスタのゲートに第1の信号が印加され、フルダウン用として機能する前記第1のNチャネル型MOSトランジスタのソースに接続された前記第1の入力ノードに前記高電圧よりも低い低電圧とグラウンド電圧との間の振幅を有する入力信号が印加され、前記第2のPチャネル型MOSトランジスタ及び前記第1のNチャネル型MOSトランジスタの各ゲートに低電圧が共通して印加される第1のCMOS回路と、

前記高電圧電源と第2の出力ノードとの間に接続され前記第1の信号がゲートに印加される第3のPチャネル型MOSトランジスタ、及び前記第2の出力ノードと低電圧が印加される低電圧電源との間に接続され前記第1のCMOS回路の前記第1の出力ノードの電位がゲートに印加される第4のPチャネル型MOSトランジスタを有する第1の中間回路と、

前記高電圧電源と第3の出力ノードとの間に接続され前記第1の中間回路の第2の出力ノードの電位がゲートに印加される第5のPチャネル型MOSトランジスタ、及び前記第3の出力ノードと前記低電圧電源との間に接続され出力信号がゲートに印加される第6のPチャネル型MOSトランジスタを有し、前記第3の出力ノードより前記第1の信号を出力する第2の中間回路と、前記高電圧電源と第4の出力ノードとの間に直列接続され前記第7及び第8のPチャネル型MOSトランジスタ、並びに前記第4の出力ノードと第2の入力ノードとの間に接続された第2のNチャネル型MOSトランジスタを有し、フルアップ用として機能する前記第7のPチャネル型MOSトランジスタのゲートに前記第1の中間回路の前記第2の出力ノードの電位が印加され、且つフルダウン用として機能する前記第2のNチャネル型MOSトランジスタのソースに接続された前記第2の入力ノードに前記入力信号の反転信号が印加され、前記第8のPチャネル型MOSトランジスタ及び前記第2のNチャネル型MOSトランジスタの各ゲートに低電圧が共通して印加され、前記第4の出力ノードより前記出力信号として前記高電圧とグラウンド電圧の間の振幅を有する信号を外部へ出力する第2のCMOS回路とを備えたことを特徴とするレベル変換回路。

ードに前記入力信号の反転信号が印加され、前記第8のPチャネル型MOSトランジスタ及び前記第2のNチャネル型MOSトランジスタの各ゲートに低電圧が共通して印加され、前記第4の出力ノードより前記出力信号として前記高電圧とグラウンド電圧の間の振幅を有する信号を外部へ出力する第2のCMOS回路とを備えたことを特徴とするレベル変換回路。

【請求項6】 前記第1の信号は、前記高電圧と前記低電圧の間の振幅を有する信号であり、該第1の信号を前記出力信号と独立して外部へ出力する構成としたことを特徴とする請求項1乃至請求項5記載のレベル変換回路。

【請求項7】 前記第4及び第6のPチャネル型MOSトランジスタのゲートに低電圧とグラウンド電圧との間の振幅を有する信号を出力する低電圧電源と、前記低電圧電源とグラウンド電圧との間の振幅を有する信号を出力する低電圧電源よりも高い高電圧とグラウンド電圧との間の振幅を有する信号にレベル変換するレベル変換回路とを備えた半導体集積回路において、

前記レベル変換回路は、請求項1乃至請求項7記載のレベル変換回路で構成したことを特徴とする半導体集積回路。

【発明の詳細な説明】

【0001】 発明の属する技術分野 本発明は、異なる電圧電圧を有するデジタル回路間のインターフェースとして機能するレベル変換回路、及びこのレベル変換回路を搭載した半導体集積回路に関する。

【0002】

【従来の技術】 MOSトランジスタのプロセスが微細化されるにつれて、許容ゲート酸化膜厚は下がってきており、0.6μm程度の微細化プロセスでは、その前圧は4V程度であり、3.3V電源の回路では支障は来さないが、従来から一般に使われてきた5V電源では、通常の論理回路を構成することはできず、従って、許容ゲート酸化膜厚が5Vよりも低い集積回路は、3.3V程度の電圧で使用するを得ない。

【0003】 この3.3V系の集積回路と5V電源系の集積回路とを組み合わせて使用する場合、低電圧電源系から高電圧電源への信号伝達が可能でなく、従来では以下に示すような技術を用いて低電圧電源系から高電圧電源系へのレベル変換を行っている。

【0004】 図7は、従来より一般的なCMOSレベル変換回路の構成例を示す回路図である（第1の従来回路）。

【0005】 このレベル変換回路は、同図に示すように、5V電源（VDD）とグラウンド間に接続された2段のCMOS回路より構成されている。1段目のCMOS回路は、Pチャネル型MOSトランジスタ（以下、単にP-MOSという）101とNチャネル型MOSトランジスタ（以下、単にN-MOSという）102とで構成され、2段目のCMOS回路は、P-MOS103とN-MOS104とで構成されている。

【0006】 3V（“1”レベル）の入力信号IN1が与えられると、N-MOS102がオンし、同時に、0V（“0”レベル）の入力信号IN2が与えられると、N-MOS104はオフする。一方、N-MOS102のオンによりP-MOS103がオンし、このP-MOS103のオンによりP-MOS101がオンする。従って、出力信号OUT1、OUT2はそれぞれ5V、0Vとなる。

【0007】 また、入力信号IN1が3Vから0Vに変化する、N-MOS102がオフし、同時に、入力信号IN2が0Vから3Vへ変化したN-MOS104はオフする。N-MOS104のオフによりP-MOS101がオフし、その結果、P-MOS103がオフする。従って、出力信号OUT1、OUT2はそれぞれ0V、5Vになる。

【0008】 このようにして、本回路では3V電源系から5V電源系へのレベル変換を行っている。

【0009】 図8は、特開平4-150411号公報に開示されたレベル変換回路の構成を示す回路図である（第2の従来回路）。

【0010】 このレベル変換回路は、同図に示すように、高電圧（VDD：5V）電源を有するラッチ回路200を備え、このラッチ回路200のノードN11、N12とグラウンドの間にはN-MOS211、212がそれぞれ接続されている。N-MOS211のゲートには、低電圧（VCC：3V）電源系の信号INが印加され、またN-MOS212のゲートには、低電圧（VCC：3V）電源を有するインバータ213を介して前記信号INの反転信号が印加されるようになっている。

【0011】 ラッチ回路200のノードN11、N12がそれぞれ5V、0Vである場合、入力信号INが3V（“1”レベル）になると、N-MOS211がオンし、N-MOS212はオフする。その結果、ノードN11の電位は0Vにジャンプするので、ラッチ回路200のノードN12より5V（“1”レベル）に維持された出力信号OUTが得られる。

【0012】 図9は、米国特許公報（U. S. P. 5300832）に開示されたレベル変換回路の構成を示す回路図である（第3の従来回路）。

【0013】 このレベル変換回路は、ゲート酸化膜厚が高電圧電源（5V）よりも低いMOSトランジスタのみを用い、低電圧電源系から高電圧電源系へのレベル変換を行うものである。

換を行うものである。

【0014】 同図に示すように、このレベル変換回路は、MOSトランジスタ300〜313からなるレベル変換部と、MOSトランジスタ314〜317からなる出力部とで構成されている。レベル変換部は、低電圧（VCC：3V）電源系の入力信号INを入力して、ノードN21、N22にレベル変換用の制御信号を出力する。出力部は、前記レベル変換部からの制御信号を受け、高電圧（VDD：5V）電源系の信号として0V〜5Vの出力信号OUT1と中間電位〜5Vの出力信号OUT2を出力し、さらに0V〜中間電位の出力信号OUT3を出力するようになっている。

【0015】 入力信号INが“0”レベルになると、P-MOS306、307がオンし、ノードN23、N24がオフする。ノードN23が“1”レベルになると、N-MOS304がオンし、ノードN23、N24がオフする。N-MOS304がオンし、P-MOS301及びN-MOS302を通過する電流経路が形成される。その結果、ノードN25がフルオンし、P-MOS308がオンする。

【0016】 P-MOS308がオンすると、ノードN21が“1”レベルになるだけでなく、P-MOS309及びN-MOS310、311を通過する電流経路が形成され、ノードN22も“1”レベルになる。その結果、P-MOS314がオンし、N-MOS317がオンし、出力信号OUT1、OUT2は0V、出力信号OUT2は中間電位となる。

【0017】 一方、入力信号INが“1”レベルになると、N-MOS305、312がオンし、ノードN22、N23の電位はフルオンする。ノードN22がフルオンすることにより、N-MOS317がオンする。そして、ノードN21の電位がVDD（5V）よりも低くなったとき、P-MOS314はオフし、出力信号OUT1、OUT2は5V、出力信号OUT3は中間電位となる。

【0018】

【発明が解決しようとする問題】 しかしながら、上記従来のレベル変換回路では次のような問題点があった。

【0019】 すなわち、上記第1の従来回路（図7）では、回路を構成する全てのMOSトランジスタのゲートに高電圧レベルの電圧が印加されるので、ゲート酸化膜厚は高電圧レベルである必要がある。そのため、ゲート酸化膜を厚くし且つゲート長を長くして高電圧に耐えるMOSトランジスタを、レベル変換回路用として集積回路のチップ上に部分的に形成することになり、製造プロセスが複雑になる。

【0020】 また、上記第2の従来回路（図8）でも同様に、ラッチ回路200を構成する2個のインバータの各トランジスタ及びN-MOS211、212と共に、高電圧電源レベル以上のゲート酸化膜厚を有するトランジスタが必要となる。

【0030】この第4の発明によれば、上記第1の発明における第2のN-MOSを省略し、入力信号を1種類とすることができる。入力信号がグラウンドレベル

2018年10月1日現在

—タカ電報のノリ／＼の力／＼の田舎の新聞のCMのCM

道路を掘入し、とらへる。

員何卒勤能力の低下も抑えられる。

2019年11月26日

よ、上記第1乃至第6の発明において、前記第4及び第

102-117-0-6 男性 20

၁၂၆

作用を及ぼす。

の証明に対応。

／＼、つゝ、ふり、と、間、を、有、し、て、い、る、

なっている。

られている。また、P-MOSI2のサフスト

9

るようになっていく。

通し（コ）電線に接続される（コ）

02426 構成されている。

051705-1640

回路の動作を説明する。

【0048】まず、3V（1レベル）の入力信号INHが供給される場合の動作を説明する。入力信号INHが3V（1レベル）であるとき、この信号INHがデータ入用印加されるN-MOS14はオンし、上記ノード抵抗の一端から、P-N1に近い電圧を出力する。その結果、P-MOS32がオンし、ノードN3は5Vに近い電圧を出力し、P-MOS41、21がオフする。

その結果、P-MOS 42がオフし、P-MOS 41はオンしているため、P-N 44の電位は5Vとなる。P-N 44の電位が5Vになると、P-MOS 11, 31はP-N 44の電位に0Vとなり、P-N 33の電位は3Vとなる。従って、出力端子OUT1及びOUT2は、5V (1レベル) となる。

【0051】なお、この状態において、P-MOS 1, 31, 42及びN-MOS 24はオフしている。で、このレベル変換回路内に静的な直流電流パスは存在しない。

【0052】次に入力信号IN1が3V（“1”レベル）から0V（0レベル）に変化した場合の説明する。

【0055】N-MOS14はオシ、且つP-MOS11もオシしている、ノードN1の電位は定まらない、しかし、入力信号IN2は3V(1レベル)であるため、N-MOS24がオシ、このときP-MOS21もオシしているが、ノードN2の電位は0Vに近いものとなる、その結果としてP-MOS42がオシ、このときP-MOS41もオシしているが、ノードN4は3Vに近い電位になる。

【0055】ノーマル3Vに近い電圧になると、P-MOS1, 3はオナリ、ノーマルは、N-MOS1が既にオナリしているため5Vを出力する。その結果、P-MOS3はオナリ、ノーマル3Vの電位も5Vとなるため、P-MOS4, 2はオナリして直流電流が流れた。ノーマルは0Vを出力し、ノーマル3Vを出力する。従って、出力信号OUT1は0V（0レベル）、出力信号OUT2は3V（0レベル）が出力される。

【0055】このような動作において、各トランジスタのゲートとソースまたはドレインあるいはサブスレートとの間に3Vを超える電圧が印加されることはない。但し、P-MOS3.2及びP-MOS4.2には、5Vから0Vの電圧の信号が加わり、0Vが加わる時に過渡的に3Vを超える電圧がゲート酸化膜に加わるが、静止状態では、該MOS3.2トランジスタはオンし、ソース・ドレイン間に3V電圧に接続されたチャネルが形成され、基板電位の5Vはゲート酸化膜からシールドされるので、このゲート酸化膜には静的に3Vを超える電圧は加わら

ない。

【0055】このように本実施形態のレベル変換回路では、上記各トランジスタのゲート駆動電圧は静的に3Vを超える電位が加わらないため、各ゲート駆動電圧が5Vよりも低いMOSトランジスタのみで回路を構成することができる。これにより、製造プロセスを複雑にしないで低消費電力のレベル変換回路を実現することが可能となる。さらに、与えられた電源レベルを、オンプしたトランジスタ次のトランジスタのゲートに供給したためであるため、ゲート電圧の振盪の抑制にノイズフロートトランジスタのオンプする効果を利用した前述の第3の従来回路よりも高速度動作が可能となるだけでなく、負荷駆動能力の低下も抑えることができる。

[1005] また、本発明形態では、低電圧レベルは全て3Vになっている、たとえば2Vの電位が他に存在しているならば、P-MOS1,2及びP-MOS2として、P-MOS2のみを2V電圧源に接続しても、またP-MOS2の3.2及びP-MOS4,2のドレインのみを2V電圧源に接続しても回路は正常に動作する。3V電圧に接続されている端子を個別に他の低電圧レベルに接続することにより、トランジスタのオフ抵抗を調整し、ディメンジョンの設計に自由度を持たせることができる。

【0058】図2は、本発明の第2実施形態に係るレベル変換回路の回路図であり、図1と共通の要素には同一の符号が付けされている（第3の発明に対応）。

【0055】上記図1に示す構成において、N-MOS 23のソースに、直接0Vから3Vの電幅を持った入力信号を接続しても回路動作に異常は生じない。このようなことから、本発明形態は、図1に示す回路のN-MOS 24を省略した場合の例を示している。すなわち、上記CMOS回路20に代えて設けられたCMOS回路20'は、N-MOS 24を省略してN-MOS 23のソースに直接、入力信号IN1を印加した構成となっている。

【0060】このレベル変換回路によれば、入力信号1-N1が3V（“1”レベル）である場合は、上記第1実施形態と同様の動作を行い、5V（“1”レベル）の出力信号OUT1及びOUT2が出力される。この状態で、P-MOS1 1, 3, 4, 2がオフ状態にあり、加えてN-MOS2, 3もオフしているため、本レベル変換回路内に静電的な漏れ電流・パルスは存在しない、一方、入力信号1-N1が3V（“1”レベル）から0V（“0”レベル）へ変化した場合、N-MOS1 4がオフ、N-MOS2 2がオンするため、第1実施形態と同様に出力行信号OUT1が0V（“0”レベル）に、出力信号OUT2が3V（“0”レベル）に変化する。

【0061】本実施形態では、上記第1実施形態と同様の利点を有するが、図1に示すN-MOS2 4を省略し、且つ入力信号を1種類として与えられるので、第1実施形態よりも構成が簡素化される。

【0062】図3は、本発明の第3実施形態に係るレベ

ル変換回路の回路図であり、図1と共通の要素には同一の符号が付けされている（第4の発明に対応）。

【0063】上記図1に示す構成において、N-MOS 13のソースは、直降0Vから3Vの駆動を持った入力信号を接続しても回路動作が壊れることはない。このようなことから、本実施形態は、図1に示す回路のN-MOS14を省略した最小の例を示している。すなわち、上記CMOS回路10に代って設けられたCMOS回路10'は、N-MOS14を省略してN-MOS13のソースに直接、入力信号1N2を印加した構成となっている。

【0066】このレベル変換回路によれば、入力信号1-N-MOS2がOV（0°レベル）であるときには、N-MOS1がオフになり、その後は上記第1実施形態と同様の動作が行われ、SV（1°レベル）の出力信号OUT1及びOUT2が出力される。この状態で、P-MOS1、3、1、4及びP-MOS2、4がオン状態にあるため、本レベル変換回路内に静的な直流電流は存在しない。

【0065】一方、入力信号IN2が0V（“0”レベル）から3V（“1”レベル）へ変化した場合は、N-MOS1がオフする一方で、N-MOS2がオンし、その後は第1実施形態と同様の動作が行われ、出力信号OUT1が0V（“0”レベル）に、出力信号OUT2が3V（“0”レベル）に変化する。

【0066】このように、入力信号INとに対して逆相の出力信号OUT1及びOUT2が出力される。

【0067】本実施形態では、上記第1実施形態と同様の利点を有するほか、図1に示すN-MOS14を省略でき、且つ入力信号を1種類とすることができるので、第1実施形態よりも構成が簡素化される。

【0068】図4は、本発明の第4実施形態に係るレベル変換回路の回路図であり、図1と共通の要素には同一の符号が付されている（第5の発明に対応）。

3及びN-MOS 2.3のノーズに、直接0Vから3V
[0069] 上記図1に示す構成において、N-MOS
2及びP-MOS 2.1のノーズに、直接0Vから3V
の電圧を付した入力信号を接続しても回路動作が損なわ
れることはない。このようなことから、本実施形態は、
図1に示す回路のN-MOS 1.4及びP-MOS 2.4を
省略した場合の例を示している。すなわち、上記CMO
S回路1.1及び2.1に代えて設けられたCMOS回路1.
1'、2.0'は、N-MOS 1.4及びP-MOS 2.4を省略した
N-MOS 1.3及びP-MOS 2.3のノーズに直接、それぞれ入力信
号1.1及び2.1を印加した構成となっている。

【0070】このレベル変換回路によれば、入力信号11がOV（“0”レベル）であるときには、N-MOS13がオンし、その後は上記第1実施形態と同様の動作が行われ、5V（“1”レベル）の出力信号OUT1が出力される。このとき、P-MOS1

(10)

1, 31, 42オフ状態にあり、またN-MOS23のソースには3V ("1"レベル)の人力信号IN2が印加されているため、該N-MOS23もオフしている。その結果、この状態では、本レベル変換回路内に静電的な直流電流パスは存在しない。

【0011】一方、入力信号IN1が0V（“0”レベル）から3V（“1”レベル）へ変化した場合は、N-MOS13がオンする一方で、N-MOS23がオンし、その後は第1実施形態と同様の動作が行われ、出力信号OUT1が0V（“0”レベル）に、出力信号OUT2が3V（“0”レベル）に変化する。

【0072】このように、入力信号I_{N1}に対して逆相の出力信号O_{U1}及びO_{U2}が出力される。

【0073】本実施形態では、上記第1実施形態と同様の利点を有するほか、図1に示すN-MOS14及びPN-MOS24を省略できるので、第1実施形態よりも構成が簡素化される。

【0074】図5は、本発明の第5実施形態に係るレベル変換回路の回路図であり、図1と共通の要素には同一の符号が付されている（第7の発明に対応）。

【0070】本実施形態は、上記図1の構成において、上記中間回路30、40とはバススレーブの接続構成が異なる中間回路30'、40'を、上記中間回路30、40に代えて設けたものである。すなわち、上記第1実施形態において、P-MOS32及びN-MOS42のオン時に形成されるチャネルにより基板電位の5Vがゲート酸化膜からシールドされ、露出ラジエタのゲート酸化膜には静的には3Vを越える電位は加わらない点について述べた。この点について、本実施形態では、

【0076】この場合の回路動作も上記第1実施形態と全く同じである。

【0077】図6は、本発明の第6実施形態に係る半導体集積回路の回路図であり、図1と共通の要素には同一の符号が付されている（第8の発明に対応）。

【0007】本実施形態は、上記図1に示したレベル変換回路を複数個回路のライオネステイバツツア回路に適用したものである。このライオネステイバツツア回路は、3V系の論理回路50を備え、この論理回路50の出力が図1に示す構成のレベル変換回路に接続されている。3V系の論理回路50は、データ端子51及びネーブル端子52を有し、NANDゲート53、インバータ54、55及び出力56で構成されている。さらに、前記レベル変換回路の出力側には、ツリバツツア回路60を有してデータインバツツア回路70が接続されている。

ている。フリップフロップ回路601は、P-MOS61、62で構成され、5V～3V間の振幅の信号をP-MOS71に供給し、またメインフリップフロップ回路701は、P-MOS71、72及びN-MOS73、74で構成され、その出力に接続された出力バッファ80から集積回路の外部へ出力信号OUTを出力するようになっている。

【0079】次に、動作を説明する。イネーガル端子52に0V（0レベル）が与えられると、P-MOS71には6V（1レベル）、N-MOS74には0V（0レベル）が印加され、出力バッファ80はハイインピーダンス状態になる。一方、イネーガル端子52に3V（1レベル）が与えられると、P-MOS71のゲートに3V（0レベル）、N-MOS74のゲートに0V（0レベル）が印加され、出力バッファ80は5V（1レベル）となる。

【0080】また、イネーガル端子52に3V（1レベル）且つデータ端子51に0V（0レベル）が与えられる時は、P-MOS74のゲートには3V（0レベル）、N-MOS74のゲートには3V（1レベル）が印加され、出力バッファ80は0V（0レベル）となり、トランスイスタフリップフロップとして機能する。

【0081】なお、P-MOS71のゲートを、レベル変換回路における中間回路400の出力ノードFN4（OUT2）に接続することにより、フリップフロップ回路70を省略することも可能である。

【0082】上記各実施形態においては5Vと3Vの2電源の場合について説明したが、0.25μmプロセス世代では、ゲート酸化膜厚が3.3V以下になることが予想され、そのプロセス世代において、高電圧が3.3V、低電圧が2Vというような組み合わせで本発明を適用することも可能である。

【0083】

【発明の効果】以上詳細に説明したように、第1の発明であるレベル変換回路によれば、ゲート酸化膜厚が高電圧電源レベルよりも低いMOSトランジスタのみで構成でき、且つ静止時の消費電力を増すことなく低電圧電源の振幅から高電圧電源の振幅に信号電圧振幅を変換することができる。これにより、製造プロセスを複雑にしないで低消費電力のレベル変換回路を実現することが可能となる。さらに、前述の第3の従来回路よりも高速動作が可能となり、しかも負荷駆動能力の低下も抑えることができる。また、MOSトランジスタに接続される低電圧電源を個別に異なる低電圧の電圧源とすることにより、トランジスタのオン抵抗を調整することができ、ダイメーションの設定に自由度を持たせることも可能となる。

【0084】第2の発明であるレベル変換回路によれば、上記第1の発明の回路を駆動作なく的確に動作させることが可能となる。

【0085】第3の発明であるレベル変換回路によれば、上記第1の発明よりも簡単な構成で同様の効果を得ることができる。

【0086】第4の発明であるレベル変換回路によれば、上記第1の発明よりも簡単な構成で同様の効果を得ることができる。

【0087】第5の発明であるレベル変換回路によれば、上記第1の発明よりも簡単な構成で同様の効果を得ることができる。

【0088】第6の発明であるレベル変換回路によれば、上記第1乃至第5の発明の回路の応用範囲を広くすることが可能となる。

【0089】第7の発明であるレベル変換回路によれば、上記第1乃至第6の発明の回路において、第4及び第6のP-MOSのゲート酸化膜への負荷を一回軽減することが可能となる。

【0090】第8の発明である半導体集積回路によれば、集積化されたレベル変換回路において、上記第1乃至第7の発明と同様の効果を得ることができる。

【図1】本発明の第1実施形態に係るレベル変換回路の回路図である。

【図2】本発明の第2実施形態に係るレベル変換回路の回路図である。

【図3】本発明の第3実施形態に係るレベル変換回路の回路図である。

【図4】本発明の第4実施形態に係るレベル変換回路の回路図である。

【図5】本発明の第5実施形態に係るレベル変換回路の回路図である。

【図6】本発明の第6実施形態に係る半導体集積回路の回路図である。

【図7】従来のレベル変換回路の構成を示す回路図である（第1の従来回路）。

【図8】従来のレベル変換回路の構成を示す回路図である（第2の従来回路）。

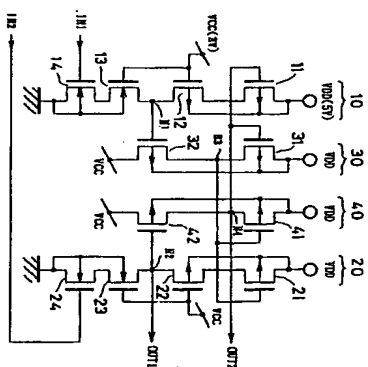
【図9】従来のレベル変換回路の構成を示す回路図である（第3の従来回路）。

【符号の説明】

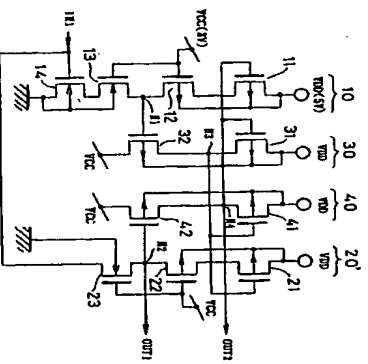
- 10 第1のCMOS回路
- 20 第2のCMOS回路
- 30 第1の中間回路
- 40 第2の中間回路
- 11 第1のP-MOS
- 12 第2のP-MOS
- 13 第1のN-MOS
- 14 第2のN-MOS
- 21 第7のP-MOS
- 22 第8のP-MOS
- 23 第2または第3のN-MOS

- 24 第3または第4のN-MOS
- 31 第3のP-MOS
- 32 第4のP-MOS
- 41 第5のP-MOS
- 42 第6のP-MOS
- N1 第1の出力ノード
- N2 第4の出力ノード

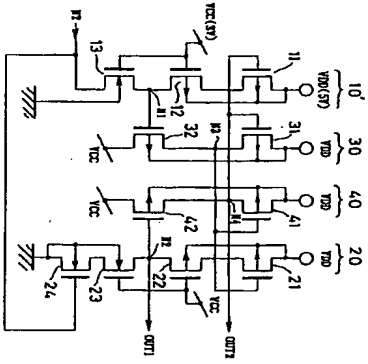
【図1】



【図2】



【図3】



【図4】

